

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年10 月13 日 (13.10.2005)

PCT

(10) 国際公開番号
WO 2005/096314 A1

(51) 国際特許分類⁷: G11C 16/02, 14/00, 11/412
(21) 国際出願番号: PCT/JP2005/006121
(22) 国際出願日: 2005 年3 月30 日 (30.03.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2004-108484 2004 年3 月31 日 (31.03.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 財団法人
北九州産業学術推進機構 (KITAKYUSHU FOUNDA-
TION FOR THE ADVANCEMENT OF INDUSTRY,
SCIENCE AND TECHNOLOGY) [JP/JP]; 〒8080135
福岡県北九州市若松区ひびきの2-1 Fukuoka (JP).

良区百道浜四丁目3 1 番1 0-1 3 0 7 号 Fukuoka
(JP).

(74) 代理人: 石田 和人 (ISHIDA, Kazuto); 〒8080135 福岡
県北九州市若松区ひびきの2-1 北九州学術研究
都市産学連携センターT-3 0 2 Fukuoka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

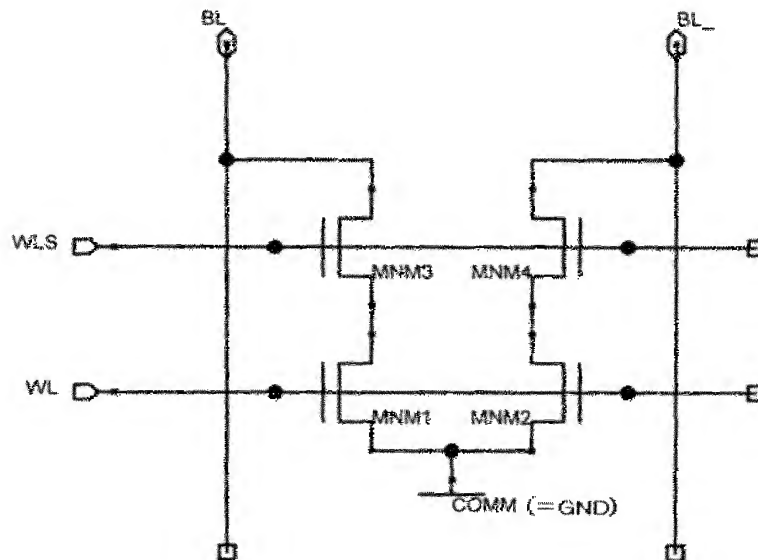
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 中村 和之 (NAKA-
MURA, Kazuyuki) [JP/JP]; 〒8140001 福岡県福岡市早

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

[続葉有]

(54) Title: SEMICONDUCTOR NONVOLATILE STORAGE CIRCUIT

(54) 発明の名称: 半導体不揮発記憶回路



(57) Abstract: A semiconductor nonvolatile storage circuit that inhibits any pseudo-writing into storing/holding FET transistors so as to realize a stable storing/holding operation. The semiconductor nonvolatile storage circuit comprises a first FET transistor (MNM1) forming a source-drain path between a ground potential (GND) and a bit line (BL); a second FET transistor (MNM2) forming a source-drain path between the ground potential (GND) and a differential pair line (BL₋); a third FET transistor (MNM3) opening/closing the connection between the drain terminal of the first FET transistor (MNM1) and the bit line (BL); and a fourth FET transistor (MNM4) opening/closing the connection between the drain terminal of the second FET transistor (MNM2) and the differential pair line (BL₋).

[続葉有]

WO 2005/096314 A1



BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 記憶保持用のFET型トランジスタへの擬似的な書き込みを防止して、安定した記憶保持が可能な半導体不揮発記憶回路を実現する。 接地電位GNDとビット線BLの間にソース・ドレイン経路を形成する第1のFET型トランジスタMNM1と、接地電位GNDと差動ペア線BL₋の間にソース・ドレイン経路を形成する第2のFET型トランジスタMNM2を備える半導体不揮発回路において、前記第1のFET型トランジスタMNM1のドレイン端子とビット線BLの間の接続を開閉する第3のFET型トランジスタMNM3と、前記第2のFET型トランジスタMNM2のドレイン端子と差動ペア線BL₋の間の接続を開閉する第4のFET型トランジスタMNM4とを備える。

明 細 書

半導体不揮発記憶回路

技術分野

[0001] 本発明は、電源を切っても記憶内容を保持し続けることが可能な半導体不揮発記憶回路に関するものである。

背景技術

[0002] 半導体不揮発記憶回路とは、電源を切っても記憶内容を保持し続けるタイプの半導体記憶回路であり、フローティングゲート構造を用いたフラッシュEEPROM、強誘電体膜を用いるFeRAM、強磁性体膜を用いるMRAMなどがある。これらの半導体不揮発記憶回路は、特別なトランジスタ構造や、特殊な材料を用いているために、高価なものになっている。そこで、より安価な半導体不揮発記憶回路が求められている。

[0003] 例えば特許文献1には、2つのMISFET型トランジスタで構成され、その2つのMISFET型トランジスタのソース端子を接地電位に共通接続し、ゲート端子をワード線に共通接続するとともに、第1のMISFET型トランジスタのドレイン端子をビット線に接続し、第2のMISFET型トランジスタのドレイン端子を前記ビット線の差動ペア線に接続した半導体不揮発記憶回路(以下、従来回路と呼ぶ。)が提案されている。

[0004] この従来回路は、2つのMISFET型トランジスタの内のいずれか一方のMISFET型トランジスタのゲート端子電源電位と接地電位の間電圧値を印加することにより、FET型トランジスタの導通抵抗を変化させて、この2つのMISFET型トランジスタの導通抵抗の大小で「0」または「1」を記憶するものである。

[0005] 図7は従来回路の回路図である。この回路は同一形式の第1および第2のMISFET型トランジスタMNM1、MNM2のソース端子を共通線COMMを介して接地電位GNDに、ゲート端子をワード線WLにそれぞれ接続するとともに、第1のMISFET型トランジスタMNM1のドレイン端子をビット線BLに接続し、第2のMISFET型トランジスタMNM2のドレイン端子をビット線BLの差動ペア線BL₂に接続したものであり、第1のMISFET型トランジスタMNM1の閾値電圧V_t(MNM1)が第2のMISFET

型トランジスタMNM2の閾値電圧 V_t (MNM2)よりも高い状態を「0」記憶状態とし、その逆の状態を「1」記憶状態とするものである。

[0006] なお、「形式」とは、nチャネル型／pチャネル型の区別をいい、「同一形式のMISFET型トランジスタ」とは、それらのMISFET型トランジスタの「形式」がnチャネル型あるいはpチャネル型に統一されていることをいう(以下、本明細書において同じ)。ここでは、第1および第2のMISFET型トランジスタMNM1、MNM2はn型MISFET型トランジスタである。

[0007] 図8は、従来回路に書き込みを行う手順を示すタイミングチャートである。従来回路への書き込みは次のように行う。まず、ワード線WLの電圧を電源電圧(VDD)の半分程度の2.5Vとし、ビット線BLの電圧を前記電源電圧と同じ5V(VDD)、差動ペア線BL₋の電圧を0V(GND)とした状態を一定時間保つ。すると、第1のMISFET型トランジスタMNM1のみが飽和領域で動作するので、第1のMISFET型トランジスタMNM1にホットキャリアが発生して導通抵抗が大きくなる。その結果、第1のMISFET型トランジスタMNM1の閾値電圧 V_t (MNM1)は高い方へシフトされ、第2のMISFET型トランジスタMNM2の閾値電圧 V_t (MNM2)よりも高くなり、「0」記憶状態になる。逆にビット線BLの電圧を0V(GND)、差動ペア線BL₋の電圧を5V(VDD)にして、ワード線WLの電圧を2.5Vにした状態を一定時間保てば、第2のMISFET型トランジスタMNM2の導通抵抗が大きくなり、第2のMISFET型トランジスタMNM2の閾値電圧 V_t (MNM2)は高い方へシフトされる。その結果、第1のMISFET型トランジスタMNM1の閾値電圧 V_t (MNM1)は第2のMISFET型トランジスタMNM2の閾値電圧 V_t (MNM2)よりも低くなり、「1」記憶状態になる。なお、閾値電圧 V_t のシフト量は、読み出し回路の能力によって判別可能なレベル以上とすればよい。

[0008] 図9は、従来回路の上書きの原理を示す説明図であり、左の縦軸は第1のMISFET型トランジスタMNM1の閾値電圧 V_t (MNM1)を、右の縦軸は第2のMISFET型トランジスタMNM2の閾値電圧 V_t (MNM2)を示している。初期段階(書き込み前)には、閾値電圧 V_t (MNM1)および閾値電圧 V_t (MNM2)はいずれも V_{t0} であり、互いに等しい。前述したように、第1のMISFET型トランジスタMNM1を飽和領域で動作させると閾値電圧 V_t (MNM1)は V_{t1} にシフトし、第2のMISFET型トランジスタ

MNM2の閾値電圧 V_t (MNM2) ($=V_{t0}$)よりも高くなるので、「0」記憶状態になる。次に、第2のMISFET型トランジスタMNM2を飽和領域で動作させて、閾値電圧 V_t (MNM2)を V_{t1} より高い V_{t2} にシフトすると、「0」記憶状態から「1」記憶状態に書き直される。再び、第1のMISFET型トランジスタMNM1を飽和領域で動作させて、閾値電圧 V_t (MNM1)を V_{t1} から V_{t3} にシフトすると、「1」記憶状態から「0」記憶状態に戻る。このように閾値電圧の低い方のMISFET型トランジスタを飽和領域で動作させて、他方のMISFET型トランジスタの閾値電圧より高いレベルにシフトする度に、「0」記憶状態と「1」記憶状態が交互に切り替わる(ただし、導通抵抗の増加が進んで、閾値電圧がそれ以上シフトしなくなれば、切り替えはできなくなる)。また閾値電圧の変化は素子の変化に起因するものだから、「0」または「1」の記憶状態は電源を切っても保持される。

[0009] 図10は従来回路の読み出し動作を説明するタイミングチャートである。従来回路の読み出しは次のように行われる。まずビット線BLの電圧を予め電源電圧(VDD)に充電しておき、ワード線WLの電圧を電源電圧(VDD)まで上げて、第1及び第2のMISFET型トランジスタMNM1、MNM2を同時に導通させて、両者の閾値電圧の差をビット線BLの電圧と差動ペア線BL₋の電圧の差として読み出して、「0」又は「1」を判断する。

[0010] 従来回路を複数個配列して、複数ビットの記憶の書き込み読み出しをする場合には次のように構成する。図11は、従来回路を複数個配列してなる記憶回路の例を示す図である。この記憶回路は4組の従来回路を2行2列に配列して、4ビット分の情報を書き込み・読み出しできるようにした回路である。この回路では、2本のワード線WL₀, WL₁と、2組のビット線対BL₀, BL₀₋, BL₁, BL₁₋は、それぞれ行方向、列方向に並ぶ2組の従来回路の間で共用されている。

[0011] 揮発記憶回路と従来回路を組み合わせ、電源を立ち上げるときに、従来回路の記憶を揮発記憶回路に書き込み、電源が入った状態では、この揮発記憶回路で記憶の読み出しおよび書き換えを行い、電源を遮断する際に、揮発回路の記憶を従来回路に書き込むこともできる。

[0012] 図12は、揮発記憶回路と従来回路の組み合わせを示す図であり、スタティック型半

導体メモリSMの記憶ノードC, C₁に従来回路SCを接続した例を示している。

[0013] スタティック型半導体メモリSMは公知のスタティック型半導体メモリ(SRAM)であり、n型の駆動トランジスタMN1とp型の負荷トランジスタMP1により構成される第1のインバータ回路と、n型の駆動トランジスタMN2とp型の負荷トランジスタMP2により構成される第2のインバータ回路の交差接続によりフリップフロップを構成して記憶ノードC, C₁に「1」又は「0」のデータを記憶するものである。

[0014] 記憶ノードC, C₁は、それぞれ転送トランジスタMNT1, MNT2を介して、ビット線対BL, BL₁に接続されている。転送トランジスタMNT1, MNT2のゲート端子は、ワード線WLに接続され、ワード線WLの信号によって、記憶ノードC, C₁とビット線対BL, BL₁の間を通断電する。

[0015] 従来回路SCは、スタティック型半導体メモリSMの記憶ノードCと接地電位(GND)との間にソース・ドレイン経路を形成する第1のMISFET型トランジスタMNM1と、記憶ノードC₁と接地電位(GND)との間にソース・ドレイン経路を形成する第2のMISFET型トランジスタMNM2から構成され、第1のMISFET型トランジスタMNM1および第2のMISFET型トランジスタMNM2のゲート端子はワード線WLWに接続されている。

[0016] また、トランジスタMPEQは、記憶ノードCと記憶ノードC₁の間の接続を信号線EQによって開閉するスイッチ素子であり、トランジスタMNRSは、駆動トランジスタMN1, MN2と接地電位GNDの間の接続を信号線RESTOREによって開閉するスイッチ素子である。

[0017] このように構成されているので、図12に示す記憶回路は、RESTORE信号を電源電位に、WLW信号を接地電位に、EQ信号を電源電位にすれば、スタティック型半導体メモリ(SRAM)として機能し、逆にSTORE信号を接地電位に、WLW信号を電源電位に、EQ信号を接地電位にすれば、図7に示した従来回路と等価な半導体不揮発記憶回路として機能する。

[0018] 特許文献1: 国際公開WO2004/057621

発明の開示

発明が解決しようとする課題

[0019] 従来回路はホットキャリアの発生によって生じるMISFET型トランジスタのソース・ドレイン間の導通抵抗値の増加を利用して記憶するので、電源電圧を印加する事なしに記憶を保持できる点で優れているが、複数の従来回路を配列して使用する場合に、MISFET型トランジスタに意図しないホットキャリアの発生(＝導通抵抗値の増加＝記憶の書き換え)が生じるという問題がある。

[0020] 例えば、図11に示す回路において、ワード線WL0とビット線BL0の電圧を上げて、第1のMISFET型トランジスタMN001に書き込み動作を行う場合、ビット線BL0は第1のMISFET型トランジスタMN011にも共通接続されているので、ワード線WL1が非選択状態(つまり、WL1の電圧＝接地電位GND)であっても、第1のMISFET型トランジスタMN011のソース端子には、第1のMISFET型トランジスタMN001のソースと同一の電圧が印加されることになる。この状態を長く維持した場合、本来、非選択状態にある第1のMISFET型トランジスタMN011にも、意図しないホットキャリアが発生し、いわば擬似的な書き込み状態となり、本来記憶しておくべき情報を失う場合がある。

[0021] 本発明はこのような問題に鑑みてなされたものであり、記憶保持用のMISFET型トランジスタへの擬似的な書き込みを防止することによって、安定した記憶保持が可能な半導体不揮発記憶回路を実現することを目的とする。

課題を解決するための手段

[0022] 本発明に係る半導体不揮発記憶回路の第1の構成は、第1及び第2のMISFET型トランジスタを備え、前記第1及び第2のMISFET型トランジスタのソース端子は接地電位に共通接続され、前記第1及び第2のMISFET型トランジスタのゲート端子は第1のワード線に共通接続され、前記第1のMISFET型トランジスタのドレイン端子はビット線に接続され、前記第2のMISFET型トランジスタのドレイン端子は前記ビット線の差動ペア線に接続されてなる半導体不揮発回路において、前記第1のMISFET型トランジスタのドレイン端子と前記ビット線の間を通断電する第1のスイッチ素子と、前記第2のMISFET型トランジスタのドレイン端子と前記差動ペア線の間を通断電する第2のスイッチ素子とを備えることを特徴とする。

[0023] この構成により、半導体不揮発記憶回路が選択されていないときは、第1及び第2

のMISFET型トランジスタのドレイン端子を開放(フローティング)状態にすることができるので、第1及び第2のMISFET型トランジスタに意図しないドレイン電流が流れることを防げる。

[0024] 本発明に係る半導体不揮発記憶回路の第2の構成は、前記第1の構成において、前記第1及び第2のスイッチ素子は第3及び第4のMISFET型トランジスタであり、前記第3及び第4のMISFET型トランジスタのゲート端子は第2のワード線に共通接続されることを特徴とする。

[0025] この構成により、第1及び第2のスイッチ素子を、第1及び第2のMISFET型トランジスタと同じFET型トランジスタとするので、回路の作成が容易になる。

[0026] 本発明に係る半導体不揮発記憶回路の第3の構成は、前記第1又は第2の構成において、前記第1及び第2のMISFET型トランジスタのドレイン端子は、それぞれ第3及び第4のスイッチ素子を介して、前記接地電位に接続されることを特徴とする。

[0027] この構成により、半導体不揮発記憶回路が選択されていないときは、第1及び第2のMISFET型トランジスタのドレイン端子の電位をソース端子と同一にできるので、第1及び第2のMISFET型トランジスタにドレイン電流が流れるおそれが全く無くなる。

[0028] 本発明に係る半導体不揮発記憶回路の第4の構成は、前記第3の構成において、前記第3及び第4のスイッチ素子は第5及び第6のMISFET型トランジスタであり、前記第5及び第6のMISFET型トランジスタのゲート端子は前記第2のワード線の差動ペア線に共通接続されることを特徴とする。

[0029] この構成により、第3及び第4のスイッチ素子を、第1乃至第4のMISFET型トランジスタと同じFET型トランジスタとするので、回路の作成が容易になる。

[0030] 本発明に係る半導体不揮発記憶回路の第5の構成は、前記第2乃至第4のいずれかの構成において、一方の記憶ノードが前記ビット線に接続され、他方の記憶ノードが前記ビット線の差動ペア線に接続される揮発記憶回路を備え、前記第3のMISFET型トランジスタのドレイン端子は前記揮発記憶回路の一方の記憶ノードに接続され、前記第4のMISFET型トランジスタのドレイン端子は前記揮発記憶回路の他方の記憶ノードに接続され、前記揮発記憶回路の一方の記憶ノードと他方の記憶ノード

は第5のスイッチ素子を介して接続され、前記揮発記憶回路の接地線は第6のスイッチ素子を介して前記接地電位に接続されることを特徴とする。

[0031] この構成により、第5及び第6のスイッチ素子によって、半導体不揮発記憶回路と揮発記憶回路を交互に切り替えて使用することができるので、半導体不揮発記憶回路の上書きの頻度を低減できる。そのため、半導体不揮発記憶回路の寿命を延ばすことができる。

。

[0032] 本発明に係る半導体不揮発記憶回路の第6の構成は、前記第1の乃至第5のいずれかの構成において、前記第1のワード線に電源電位と接地電位の間電圧を印加し、前記ビット線あるいは前記ビット線の差動ペア線の何れか一方に電源電位を印加することによって前記第1あるいは第2のMISFET型トランジスタの導通抵抗値を変化させて、前記第1および第2のMISFET型トランジスタの導通抵抗値に差異を与え、導通抵抗値の差異で「1」又は「0」を記憶することを特徴とする。

[0033] この構成により、前記第1および第2のMISFET型トランジスタの導通抵抗値の差異によって、記憶を行うので、電源が遮断されても記憶が保持される。

発明の効果

[0034] 上記本発明の構成によって、半導体不揮発記憶回路が選択されていないときに、記憶保持用のMISFET型トランジスタへの意図しないドレイン電流の流入を防止して、擬似的な書き込みを防止することができるので、安定した記憶保持が可能な半導体不揮発記憶回路を実現することができる。また本発明の半導体不揮発記憶回路はFET型トランジスタの組み合わせで構成され、他の素子を必要としないので、回路の設計や製造が容易であり、開発期間の短縮や製造コストの低減をもたらす効果もある。また、揮発記憶回路と組み合わせて使用すれば、半導体不揮発記憶回路の長寿命化を図ることもできる。

図面の簡単な説明

[0035] [図1]本発明の実施例1に係る半導体不揮発記憶回路の回路図である。

[図2]図1の半導体不揮発記憶回路の書き込み動作を説明するタイミングチャートである。

[図3]図1の半導体不揮発記憶回路の読み出し動作を説明するタイミングチャートである。

[図4]本発明の実施例2に係る記憶回路の回路図である。

[図5]本発明の実施例3に係る半導体不揮発記憶回路の回路図である。

[図6]本発明の実施例4に係る記憶回路の回路図である。

[図7]従来回路の例を示す回路図である。

[図8]図7の従来回路の書き込み動作を説明するタイミングチャートである。

[図9]図7の従来回路の読み出し動作を説明するタイミングチャートである。

[図10]図7の従来回路に対する上書き方法を説明する説明図である。

[図11]従来回路を複数個配列してなる記憶回路の回路図である。

[図12]従来回路の別の例を示す回路図である。

符号の説明

[0036]	BL, BL0, BL1	ビット線
	BL_, BL0_, BL1_	(ビット線の) 差動ペア線
	C, C_	記憶ノード
	COMM, COMM0, COMM1	共通線
	MN111 MNM1,MN001, MN011,MN101	第1のMISFET型トランジスタ
	MN112 MNM2,MN002, MN012,MN102	第2のMISFET型トランジスタ
	MN113 MNM3,MN003, MN013,MN103	第3のMISFET型トランジスタ
	MN114 MNM4,MN004, MN014,MN104	第4のMISFET型トランジスタ
	MNM5	第5のMISFET型トランジスタ
	MNM6	第6のMISFET型トランジスタ
	MN1,MN2	駆動トランジスタ
	MP1,MP2	負荷トランジスタ

MNT1,MNT2	転送トランジスタ
MPEQ,MNRS	トランジスタ
SC	従来回路
SI	半導体不揮発記憶回路
SM	スタティック型半導体メモリ
WLWS WL,WL0,WL1,WLS,WLS0,WLS1,WLW	ワード線
WL_,WLS_	(ワード線の)差動ペア線

発明を実施するための最良の形態

[0037] 以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

実施例 1

[0038] 図1は本発明の実施例1に係る半導体不揮発記憶回路の回路図である。この半導体不揮発記憶回路は、図7に示した従来回路に第3のMISFET型トランジスタMNM3および第4のMISFET型トランジスタMNM4を追加したところに特徴がある。第3および第4のMISFET型トランジスタMNM3、MNM4は、第1および第2のMISFET型トランジスタMNM1、MNM2に比べて、ホットキャリア発生等の素子劣化を起こしにくい構造や、レイアウト構成を備えたものが選ばれる。例えば、ゲート幅を大きくすれば、ホットキャリアの発生量が少なくなるので、素子劣化が起きにくくなる。なお、従来回路と共通する構成要素には同一の符号を付したので、説明を省略する。

[0039] 第3のMISFET型トランジスタMNM3は、第1のMISFET型トランジスタMNM1のドレイン端子とビット線BLの間にソース・ドレイン経路を形成し、第4のMISFET型トランジスタMNM4は、第2のMISFET型トランジスタMNM2のドレイン端子と差動ペア線BL_の間にソース・ドレイン経路を形成している。また、第3のMISFET型トランジスタMNM3および第4のMISFET型トランジスタMNM4のゲート端子はワード線WLSに接続されている。なお、第3および第4のMISFET型トランジスタMNM5、MNM6はn型MISFET型トランジスタである。

[0040] 図2は、図1の半導体不揮発記憶回路の書き込み動作を説明するタイミングチャー

トであり、図3は読み出し動作を説明するタイミングチャートである。図2および図3に示すように、半導体不揮発記憶回路を選択して、データの書き込み、あるいは読み出しを行う時は、ワード線WLSの電圧がワード線WLの電圧と同期して電源電位(VDD)に立ち上がり、半導体不揮発記憶回路が選択されていない時は、ワード線WLSおよびワード線WLの電圧は共に接地電位(GND)を保っている。そのため、半導体不揮発記憶回路が選択されていないときは、第1および第2のMISFET型トランジスタMNM1、MNM2のドレイン端子は開放(フローティング)されているので、第1および第2のMISFET型トランジスタMNM1、MNM2のドレイン端子にビット対BL、BL₁から電圧が印加されることはない。

実施例 2

[0041] 図4は、本発明の実施例2に係る記憶回路の回路図である。この記憶回路は、図1に示した半導体不揮発記憶回路を2行2列に配列して、4ビット分の情報を書き込み・読み出しできるようにした回路である。この回路では、4本のワード線WL0、WL1、WLS0、WLS1と、2組のビット線対BL0、BL0₁、BL1、BL1₁は、それぞれ、行方向、列方向に並ぶ2組の半導体不揮発記憶回路の間で共用されている。また、2本の共通線COMM0、COMM1は行方向に並ぶ2組の半導体不揮発記憶回路の間で共用されているが、4組の半導体不揮発記憶回路を1本の共通線で結ぶことも可能である。

[0042] この記憶回路では、ワード線WL0、WL1の電圧を電源電位(VDD)に立ち上げて、上段の2組の半導体不揮発記憶回路を選択して、書き込みまたは読み出しを行う場合にはワード線WLS1の電圧を接地電位(GND)にして、下段の2組の半導体不揮発記憶回路をビット線対BL0、BL0₁、BL1、BL1₁から、電氣的に完全に切断することができる。そのため、下段の2組の半導体不揮発記憶回路が擬似的な書き込み状態になることを防ぐことができる。

[0043] 同様に、下段の2組の半導体不揮発記憶回路を選択して、書き込みまたは読み出しを行う場合には第2のワード線WLS0の電圧を接地電位(GND)にして、上段の2組の半導体不揮発記憶回路をビット線対BL0、BL0₁、BL1、BL1₁から、電氣的に完全に切断して、擬似的な書き込み状態になることを防ぐことができる。

実施例 3

[0044] 図5は、本発明の実施例3に係る半導体不揮発記憶回路の回路図である。この半導体不揮発記憶回路は、図1に示した半導体不揮発記憶回路に第5のMISFET型トランジスタMNM5および第6のMISFET型トランジスタMNM6を追加したところに特徴がある。第5のMISFET型トランジスタMNM5のドレイン端子は第1のMISFET型トランジスタMNM1のドレイン端子に接続され、ソース端子は共通線COMMに接続されている。また、第6のMISFET型トランジスタMNM6のドレイン端子は第2のMISFET型トランジスタMNM2のドレイン端子に接続され、ソース端子は共通線COMMに接続されている。第5および第6のMISFET型トランジスタMNM5, MNM6のゲート端子にはワード線WLSの差動ペア線WLS₁に接続され、第3および第4のMISFET型トランジスタMNM3, MNM4のゲート端子に入力されるWLS信号の反転信号を入力される。なお、第5および第6のMISFET型トランジスタMNM5, MNM6はn型MISFET型トランジスタである。なお、図1の半導体不揮発記憶回路と共通する構成要素には同一の符号を付したので、説明を省略する。

[0045] このような構成にすることで、この記憶回路の非選択時には、第1および第2のMISFET型トランジスタMNM1, MNM2のドレイン端子の電位をソース端子と同一レベルとすることができるために、第1および第2のMISFET型トランジスタMNM1, MNM2には、ドレイン電流が流れる恐れが全くない。これにより、より完全に、非選択時の擬似書き込みを防止することができる。

実施例 4

[0046] 図6は、本発明の実施例4に係る記憶回路の回路図である。この記憶回路は、公知のスタティック型半導体メモリSMの2つの記憶ノードに半導体不揮発記憶回路SIの入出力端子を接続した回路である。なお、スタティック型半導体メモリSMは図11に示した回路と同一の回路であり、その構成要素に同一の符号を付したので説明を省略する。

[0047] 半導体不揮発記憶回路SIは、実施例1に係る半導体不揮発記憶回路と同様に、第1および第2のMISFET型トランジスタMNM1, MNM2のソース端子を接地電位GNDに、ゲート端子をワード線WLWに接続するとともに、第1のMISFET型トランジスタMNM1のドレイン端子と第3のMISFET型トランジスタMNM3のソース端子を

接続し、第3のMISFET型トランジスタMNM3のドレイン端子をスタティック型半導体メモリSMの一方の記憶ノードCに接続し、第2のMISFET型トランジスタMNM2のドレイン端子と第4のMISFET型トランジスタMNM4のソース端子を接続し、第4のMISFET型トランジスタMNM3のドレイン端子をスタティック型半導体メモリSMの他方の記憶ノードC₁に接続し、第3および第4のMISFET型トランジスタMNM3、MNM4のゲートをワード線WLWSに接続したものである。なお、実施例1と同様に、WLWS信号は、WLW信号と同期して立ち上げ立ち下げされる。

[0048] このように構成されているので、RESTORE信号を電源電位に、WLW信号を接地電位GNDに、EQ信号を電源電位VDDにすれば、この回路はスタティック型半導体メモリとして機能し、逆にSTORE信号を接地電位GNDに、WLW信号を電源電位VDDに、EQ信号を接地電位GNDにすれば、実施例1に係る半導体不揮発記憶回路と等価な回路として機能する。

[0049] この記憶回路において、通常読み書き動作は、スタティック型半導体メモリSMにおいて行い、電源遮断前等のタイミングに限って、半導体不揮発記憶回路SIにデータを書き込むようにすれば、半導体不揮発記憶回路SIのデータ上書きの頻度を減らせるので、半導体不揮発記憶回路SIの寿命を延ばすことができる。また、スタティック型半導体メモリSMの動作時には、第1及び第2のMISFET型トランジスタMNM1、MNM2に電圧ストレスが加わることがないので、安定に不揮発記憶情報を保持できる。また、電源印可時においては、読み出しや書き込み速度に優れるスタティック型半導体メモリSMが、読み書き要求に応答することになるために、通常動作時の応答速度が向上する。

[0050] なお、以上の説明では、ドレイン電流によるホットキャリアの発生に起因するFET型トランジスタの導通抵抗の増加(＝閾値電圧の上昇)を不揮発記憶に利用する例を取り上げたが、本発明の半導体不揮発記憶回路はこのようなものに限定されるものではない。FET型トランジスタにドレイン電流を流すことによって生じる特性の変化であれば、他の特性や現象を利用することができる。

[0051] また、実施例ではn型MISFETトランジスタを使用する回路を示したが、本発明に係る半導体不揮発記憶回路はn型MISFETトランジスタを使用する回路には限られ

ない。例えば、p型MISFETトランジスタのホットホールによる素子劣化現象を利用して、本発明の半導体不揮発記憶回路を構成することもできる。

産業上の利用可能性

[0052] 以上説明したよう本発明によれば、安定した記憶保持が可能な半導体不揮発記憶回路を安価に提供できるので、本発明は半導体不揮発記憶回路を直接製造する半導体製造業のみならず、半導体不揮発記憶回路を利用する各種情報機器製造業、産業機器製造業、民生機器製造業等、関連する多くの産業分野において利用可能性がある。

請求の範囲

- [1] 第1及び第2のMISFET型トランジスタを備え、
前記第1及び第2のMISFET型トランジスタのソース端子は接地電位に共通接続され、
前記第1及び第2のMISFET型トランジスタのゲート端子は第1のワード線に共通接続され、
前記第1のMISFET型トランジスタのドレイン端子はビット線に接続され、
前記第2のMISFET型トランジスタのドレイン端子は前記ビット線の差動ペア線に接続されてなる半導体不揮発記憶回路において、
前記第1のMISFET型トランジスタのドレイン端子と前記ビット線の間を通断電する第1のスイッチ素子と、
前記第2のMISFET型トランジスタのドレイン端子と前記差動ペア線の間を通断電する第2のスイッチ素子と
を備えることを特徴とする半導体不揮発記憶回路。
- [2] 前記第1及び第2のスイッチ素子は第3及び第4のMISFET型トランジスタであり、
前記第3及び第4のMISFET型トランジスタのゲート端子は第2のワード線に共通接続されることを特徴とする請求項1に記載の半導体不揮発記憶回路。
- [3] 前記第1及び第2のMISFET型トランジスタのドレイン端子は、それぞれ第3及び第4のスイッチ素子を介して、前記接地電位に接続されることを特徴とする請求項1又は請求項2に記載の半導体不揮発記憶回路。
- [4] 前記第3及び第4のスイッチ素子は第5及び第6のMISFET型トランジスタであり、
前記第5及び第6のMISFET型トランジスタのゲート端子は前記第2のワード線の差動ペア線に共通接続されることを特徴とする請求項3に記載の半導体不揮発記憶回路。
- [5] 一方の記憶ノードが前記ビット線に接続され、他方の記憶ノードが前記ビット線の差動ペア線に接続される揮発記憶回路を備え、
前記第3のMISFET型トランジスタのドレイン端子は前記揮発記憶回路の一方の記憶ノードに接続され、

前記第4のMISFET型トランジスタのドレイン端子は前記揮発記憶回路の他方の記憶ノードに接続され、

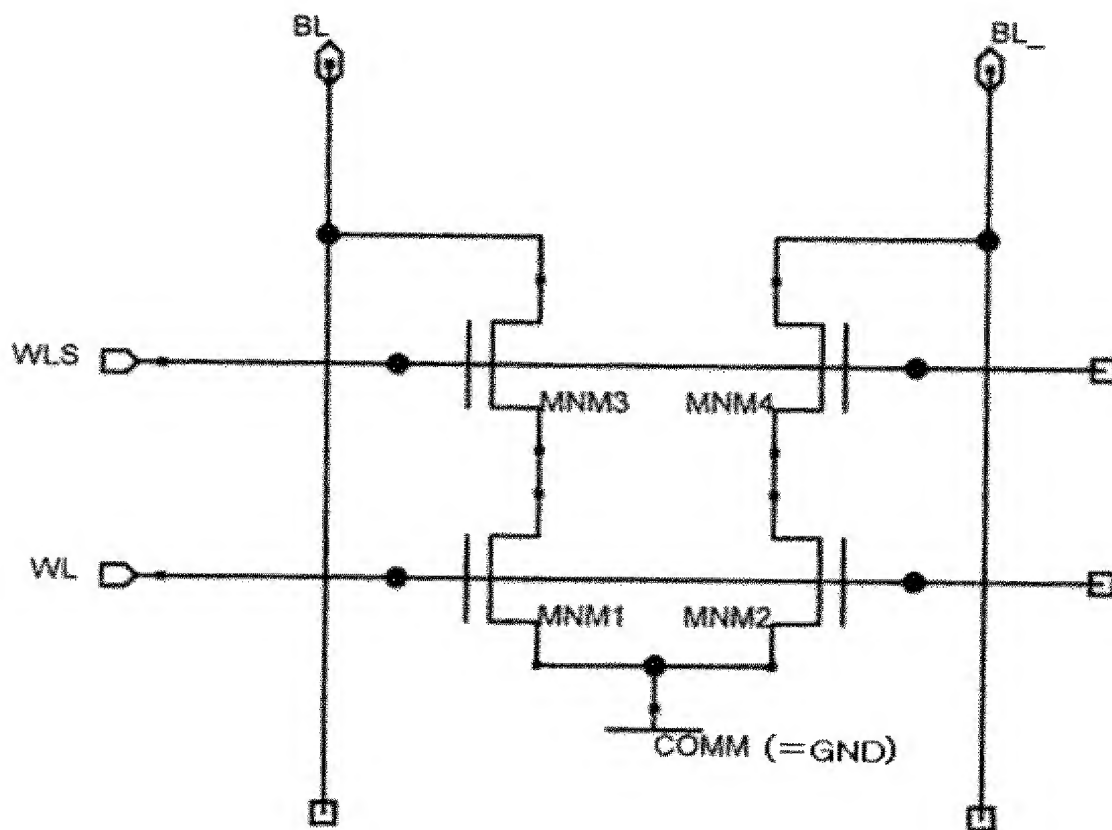
前記揮発記憶回路の一方の記憶ノードと他方の記憶ノードは第5のスイッチ素子を介して接続され、

前記揮発記憶回路の接地線は第6のスイッチ素子を介して前記接地電位に接続される

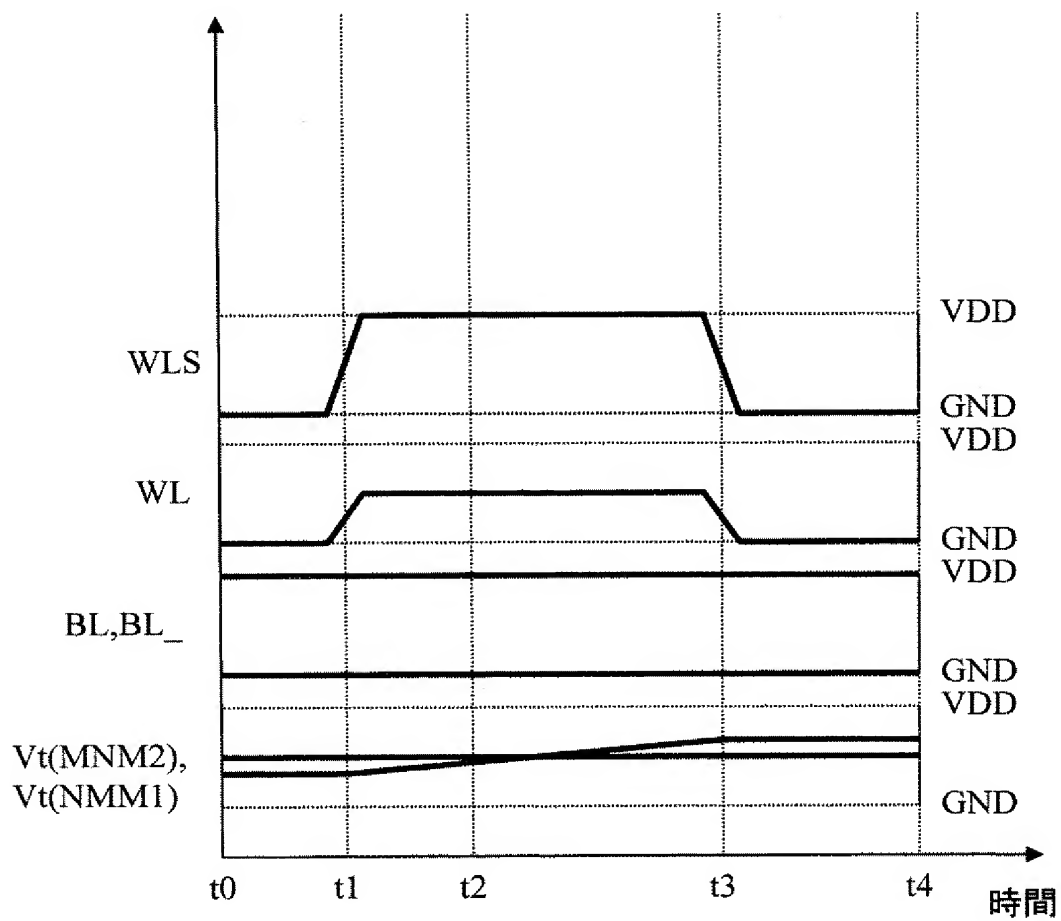
ことを特徴とする請求項2乃至請求項4のいずれかに記載の半導体不揮発記憶回路。

- [6] 前記第1のワード線に電源電位と接地電位の間電圧を印加し、
前記ビット線あるいは前記ビット線の差動ペア線の何れか一方に電源電位を印加することによって前記第1あるいは第2のMISFET型トランジスタの導通抵抗値を変化させて、前記第1および第2のMISFET型トランジスタの導通抵抗値に差異を与え、導通抵抗値の差異で「1」又は「0」を記憶することを特徴とする請求項1乃至請求項5のいずれかに記載の半導体不揮発記憶回路。

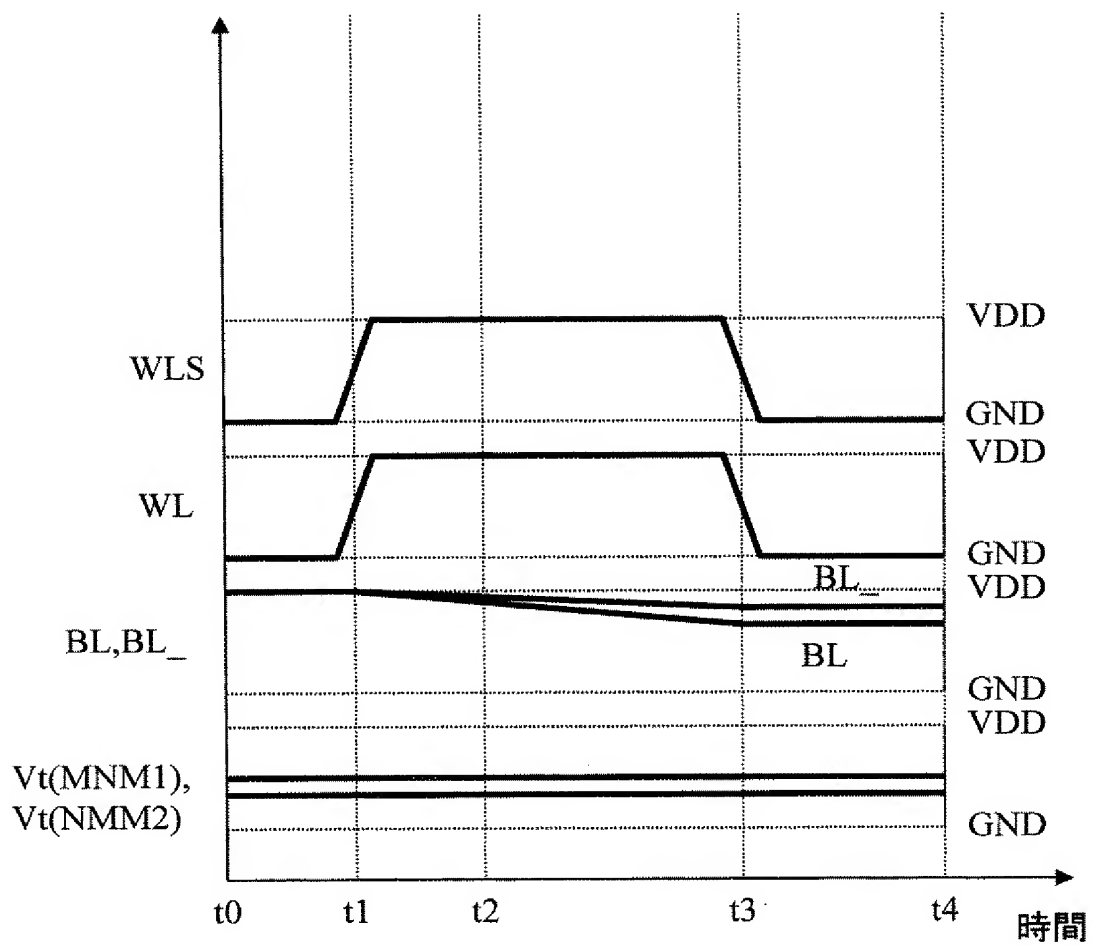
[図1]



[図2]

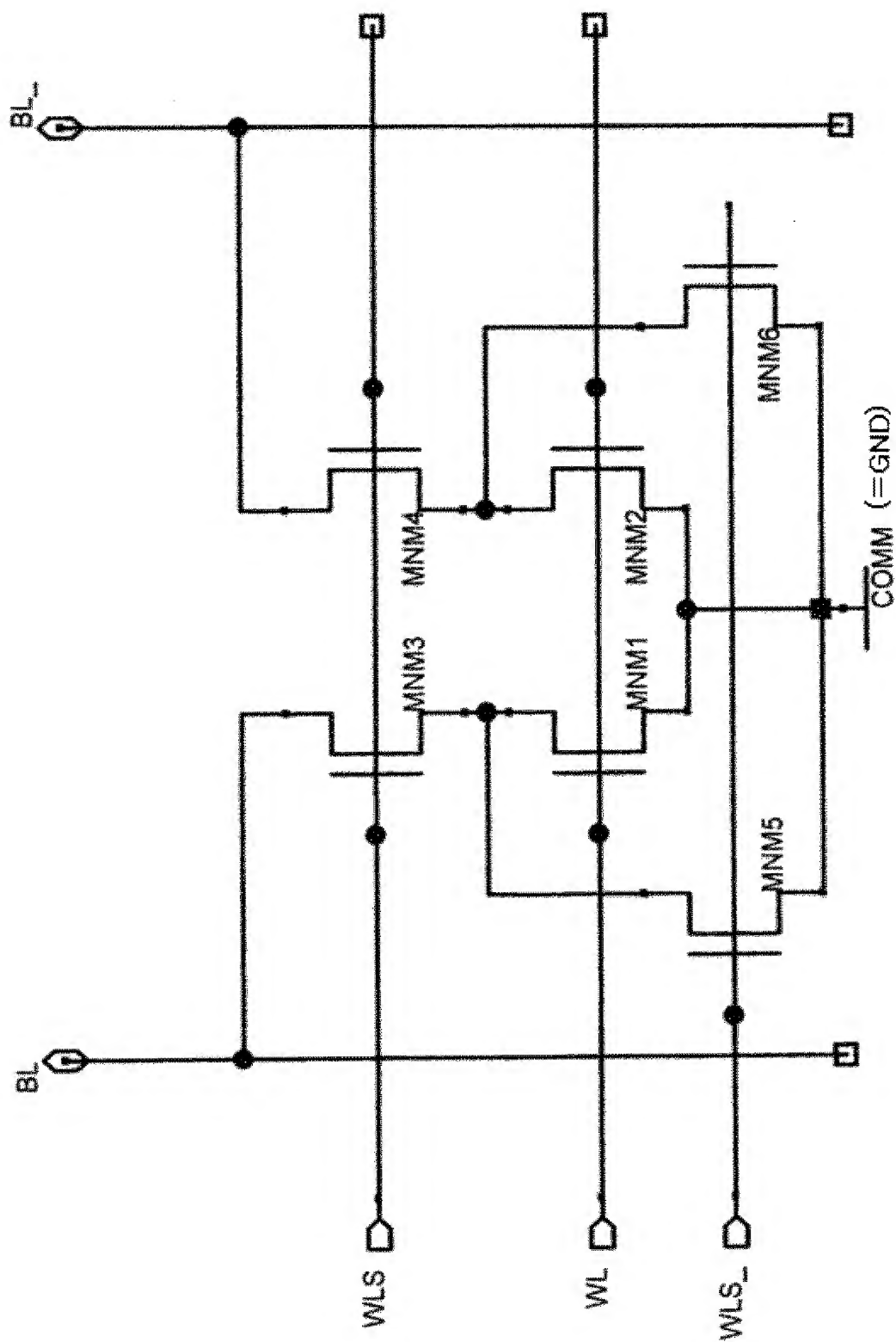


[図3]

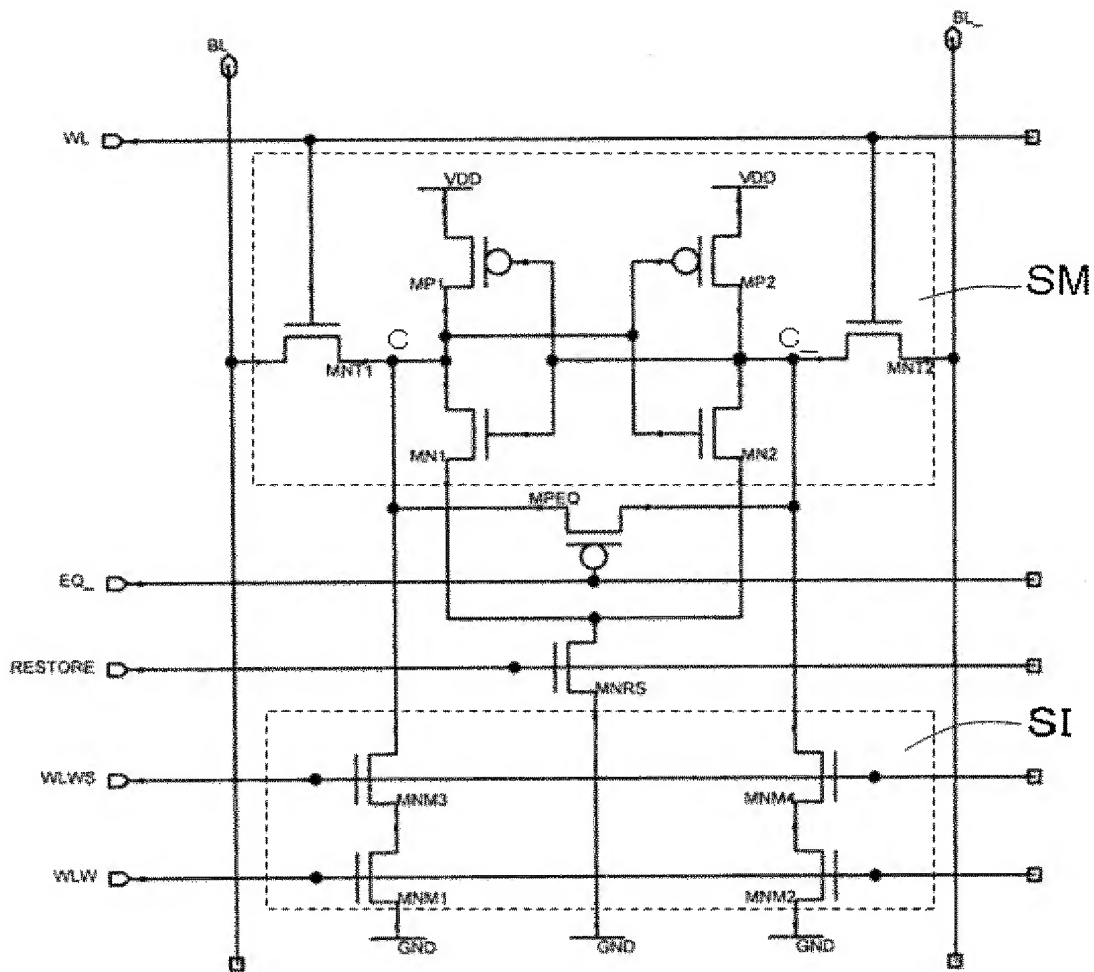


The schematic diagram illustrates a 1T1R1C1 array structure for a 256K DRAM. It features a grid of access transistors (MN001, MN002, MN003, MN004) and storage capacitors (MN101, MN102, MN103, MN104) connected to word lines (WLS0, WLS1), bit lines (BL0, BL1), and common lines (COMM0, COMM1). The diagram shows the electrical connections between these components, including the bit line drivers (MN101, MN102, MN103, MN104) and the access transistors (MN001, MN002, MN003, MN004) that connect the word lines to the storage capacitors.

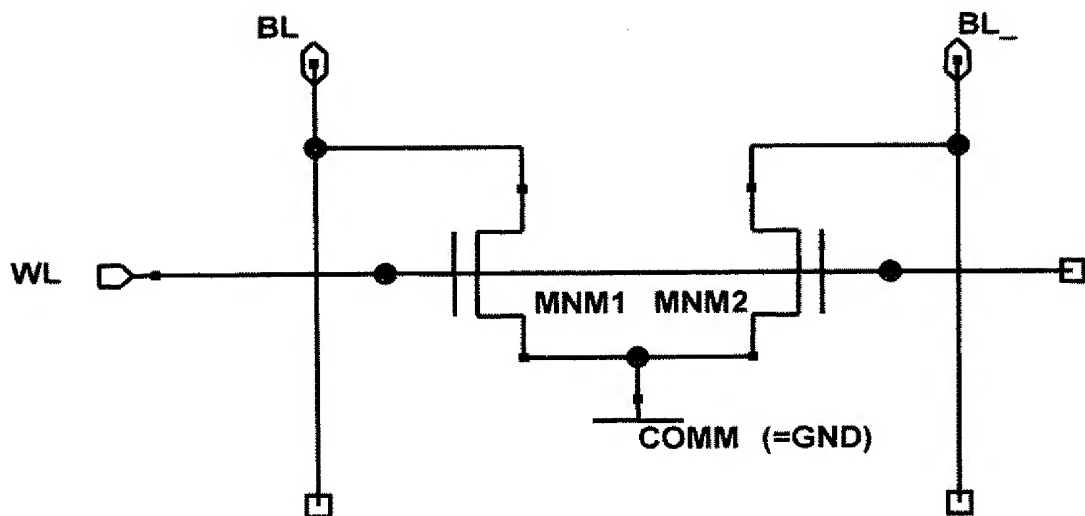
[図5]



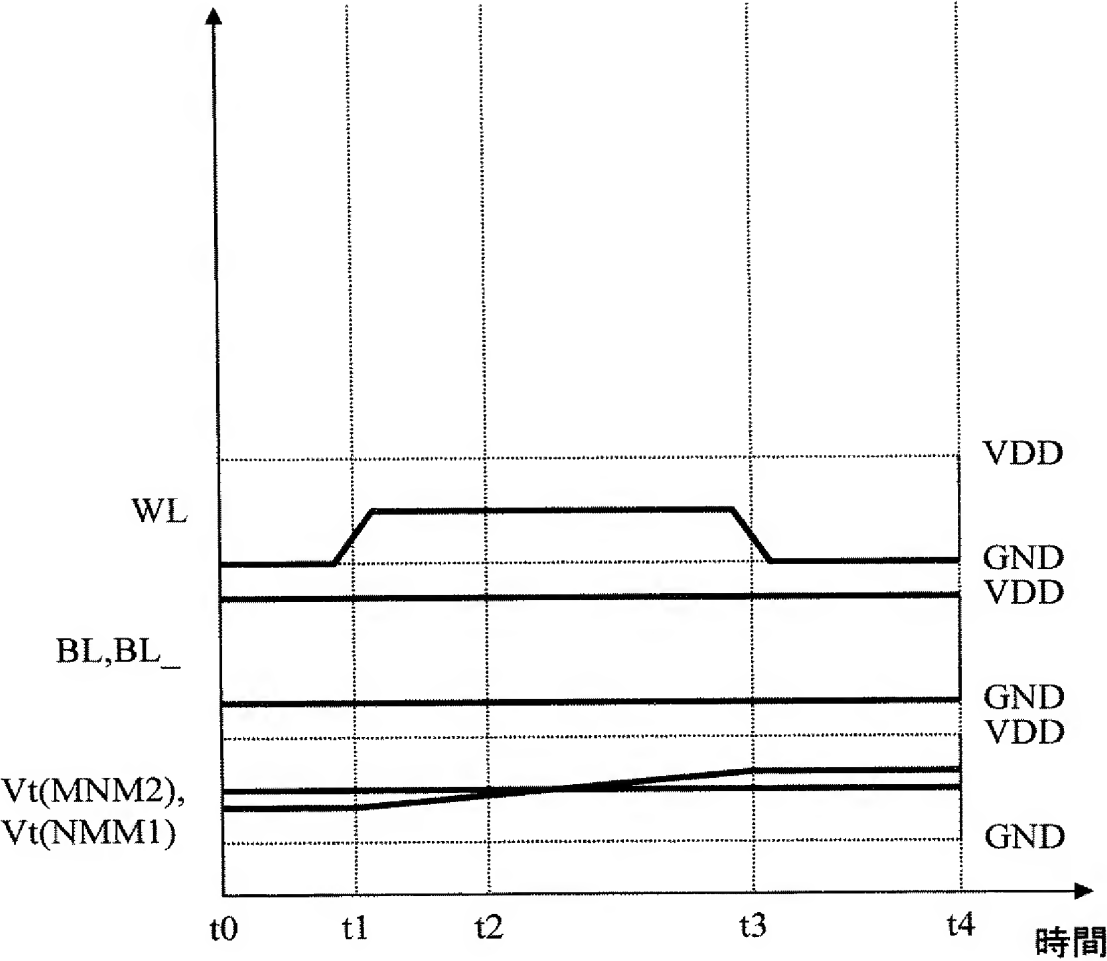
[図6]



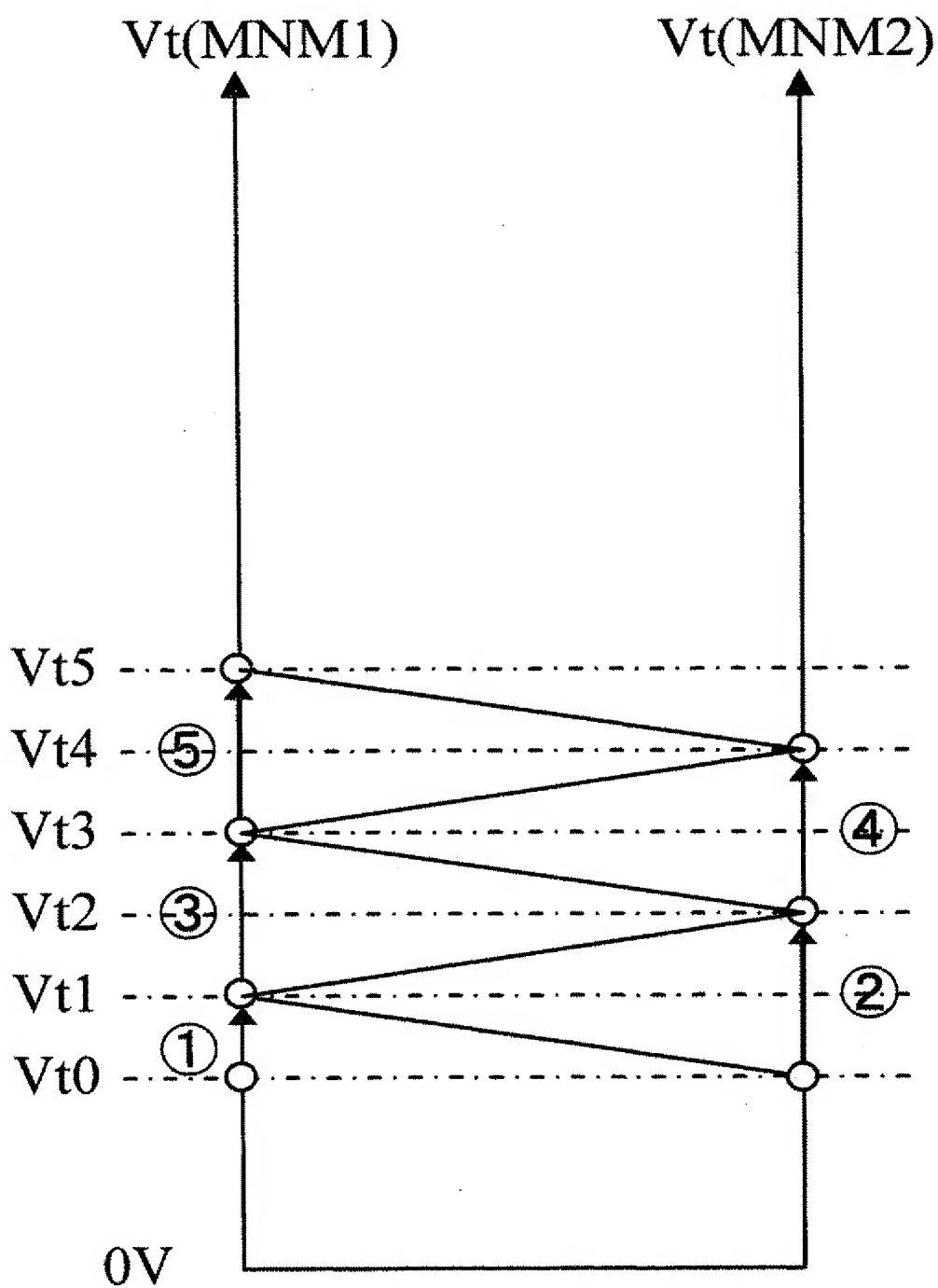
[図7]



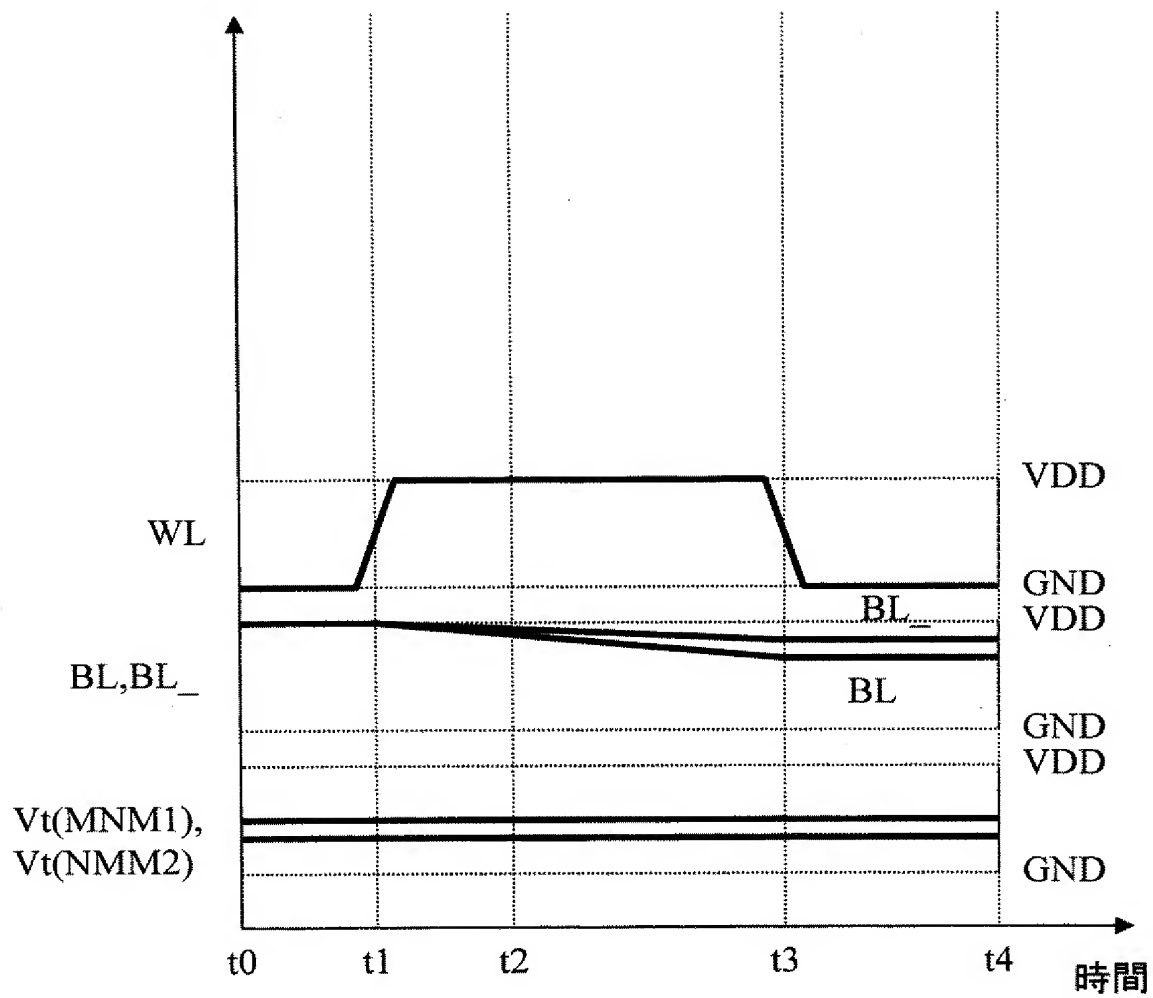
[図8]



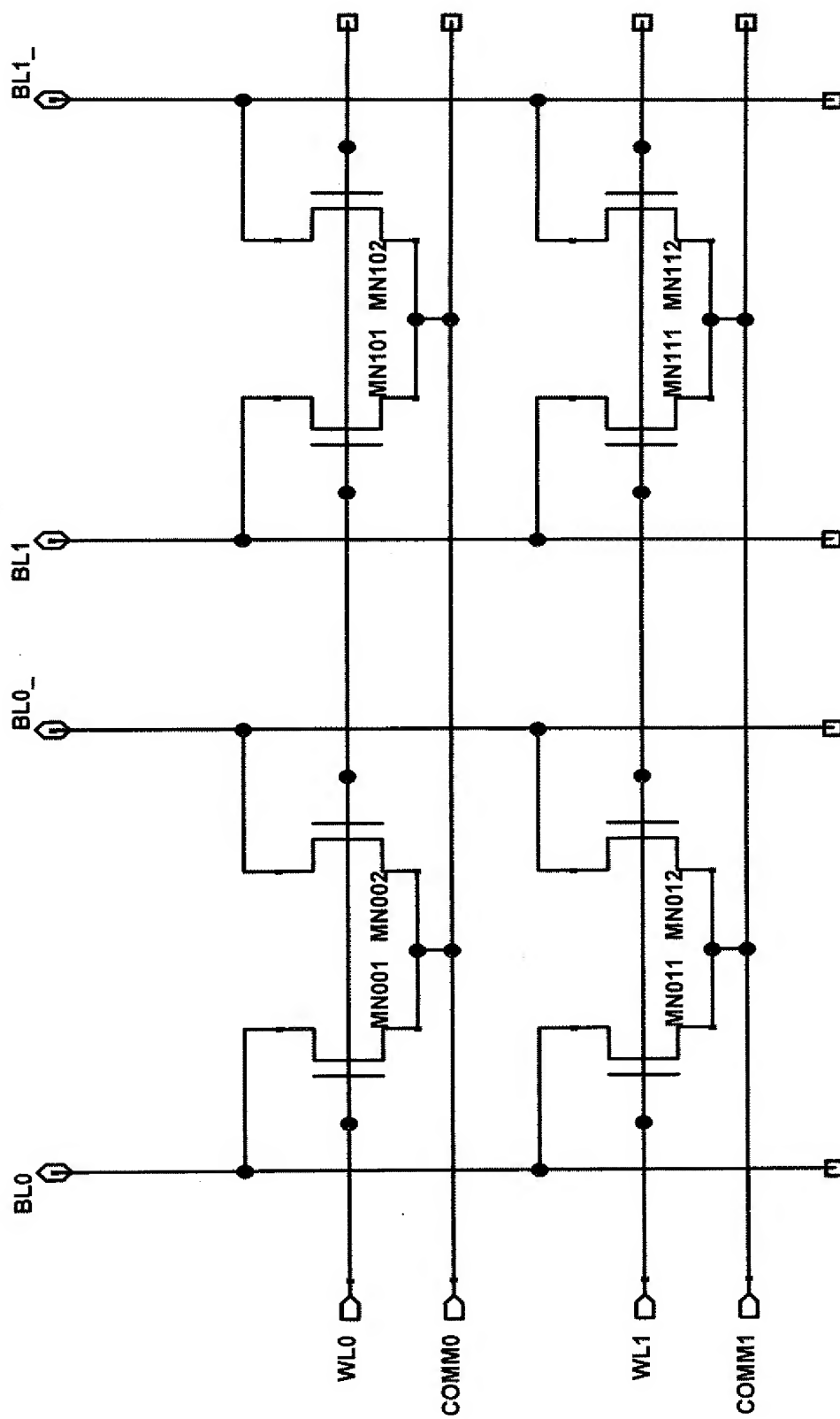
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006121

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G11C16/02, G11C14/00, G11C11/412

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G11C16/02, G11C14/00, G11C11/412

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 4-82093 A (Mitsubishi Electric Corp.), 16 March, 1992 (16.03.92), Full text; Fig. 1 (Family: none)	1, 2 3-6
A	WO 1995/022144 A1 (ATMEL CORP.), 17 August, 1995 (17.08.95), Full text; Fig. 1 & EP 693217 A1 & US 5440508 A & CN 1123062 A & JP 8-509091 A	5
A	JP 7-226088 A (Nippon Steel Corp.), 22 August, 1995 (22.08.95), Full text; Fig. 1 (Family: none)	5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

08 July, 2005 (08.07.05)

Date of mailing of the international search report

26 July, 2005 (26.07.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G 1 1 C 1 6 / 0 2, G 1 1 C 1 4 / 0 0, G 1 1 C 1 1 / 4 1 2

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G 1 1 C 1 6 / 0 2, G 1 1 C 1 4 / 0 0, G 1 1 C 1 1 / 4 1 2

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 4-82093 A (三菱電機株式会社) 1992. 03. 16, 全文, 第1図 (ファミリーなし)	1, 2 3-6
A	WO 1995/022144 A1 (ATMEL CORPORATION) 1995. 08. 17, 全文, 第1図 & EP693217 A1 & US 5440508 A & CN 1123062 A & JP 8-509091 A	5
A	JP 7-226088 A (新日本製鐵株式会社) 1995. 08. 22, 全文, 第1図 (ファミリーなし)	5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

08. 07. 2005

国際調査報告の発送日

26. 7. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

電話番号 03-3581-1101 内線 3586

5N

8731